

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-242283

(43)Date of publication of application : 11.09.1998

(51)Int.Cl.

H01L 21/82
H01L 27/118
H01L 27/04
H01L 21/822
H03K 19/173

(21)Application number : 09-042011

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.02.1997

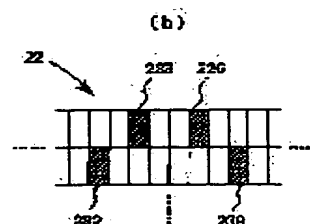
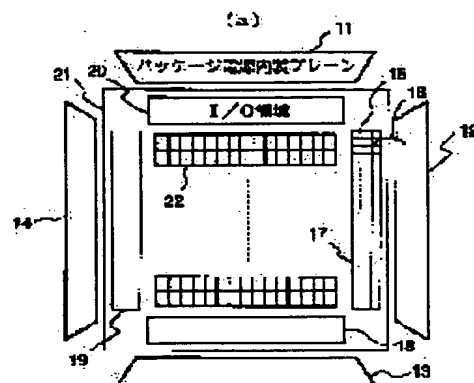
(72)Inventor : KOYAMA AKIO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND METHOD FOR LAYOUT OF SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technology which reinforces a power supply without causing a shortage of a wiring channel.

SOLUTION: A semiconductor integrated circuit is formed such that it contains a plurality of fundamental cells which are lined up in a lattice shape and that it contains a power-supply network used to supply a power supply to an internal circuit formed by combining the fundamental cells. When the semiconductor integrated circuit is formed, a part of the formation region of the fundamental cells is formed as pass-capacitor formation regions 223, 226, 232, 239 coupled to the power-supply network, transistors which exist in the pass-capacitor formation regions are made to function as pass capacitors, and user logics are formed in the formation regions of the fundamental cells excluding the pass-capacitor formation regions. Thereby, the power supply is reinforced without expanding the wiring of the power-supply network or without increasing the density of the wiring.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242283

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

C

27/118

H 0 3 K 19/173

27/04

H 0 1 L 21/82

M

21/822

L

H 0 3 K 19/173

27/04

C

審査請求 未請求 請求項の数 4 O L (全 10 頁) 最終頁に続く

(21) 出願番号

特願平9-42011

(22) 出願日

平成9年(1997) 2月26日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 小山 明夫

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 玉村 静世

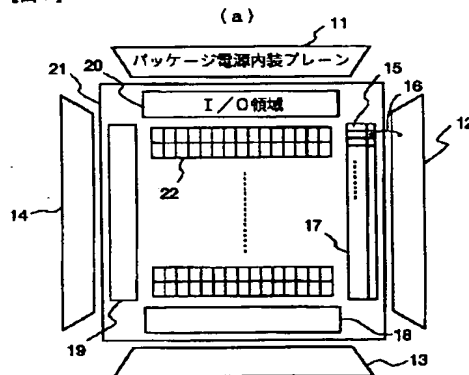
(54) 【発明の名称】 半導体集積回路及び半導体集積回路のレイアウト方法

(57) 【要約】

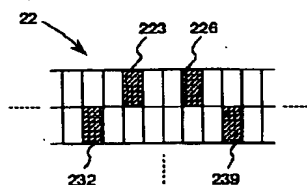
【課題】 配線チャンネル不足を伴うことなく、電源を補強するための技術を提供することにある。

【解決手段】 格子状に整列された複数の基本セルと、上記基本セルの組み合わせによって形成される内部回路に電源を供給するための電源網とを含んで半導体集積回路が形成されるとき、基本セルの形成領域の一部を、電源網に結合されたパスコンデンサの形成領域223、226、232、239とし、このパスコンデンサ形成領域に存在するトランジスタをパスコンデンサとして機能させ、パスコンデンサ形成領域を除く基本セル形成領域にユーザ論理を形成することにより、電源網の配線を広くしたり密度を上げることなく、電源補強を行う。

【図1】



(b)



1

【特許請求の範囲】

【請求項1】 格子状に整列された複数の基本セルと、上記基本セルの組み合わせによって形成される内部回路に電源を供給するための電源網とを含む半導体集積回路において、

上記基本セルの形成領域の一部が、上記電源網に結合されたパコンデンサの形成領域とされ、このパコンデンサ形成領域に存在するトランジスタがパコンデンサとして機能されて、上記パコンデンサ形成領域を除く上記基本セル形成領域にユーザ論理が形成されたことを特徴とする半導体集積回路。

【請求項2】 半導体集積回路の自動配置配線処理前に、当該半導体集積回路の内部領域における電源をパコンデンサにより補強する処理を含み、上記パコンデンサにより電源を補強する処理は、半導体集積回路の内部領域における電源網について電圧降下の解析を行うステップと、上記解析結果に基づいてチップ内を複数の内部領域に分割するステップと、分割領域毎にノイズ量を算出するステップと、算出されたノイズ量に応じて上記分割領域毎のパコンデンサ容量値を算出するステップと、算出されたパコンデンサ容量値に基づいて上記分割領域毎にパコンデンサ形成に割り当てられるトランジスタの配置を決定するステップと、を含むことを特徴とする半導体集積回路のレイアウト方法。

【請求項3】 半導体集積回路の自動配置配線処理前に、当該半導体集積回路の内部領域における電源網をパコンデンサにより補強する処理を含み、上記パコンデンサにより電源を補強する処理は、半導体集積回路の内部領域における電源網の物理形状を決定する第1ステップと、物理形状が決定された電源網について、上記電源網に給電する一連の結線を受動素子回路としてモデル化して電圧降下の解析を行う第2ステップと、上記解析結果に基づいてチップ内を複数の内部領域に分割する第3ステップと、分割領域毎にノイズ量を算出する第4ステップと、算出されたノイズ量に応じて上記分割領域毎のパコンデンサ容量値を算出する第5ステップと、算出されたパコンデンサ容量値に基づいて上記分割領域毎にパコンデンサ形成に割り当てられるトランジスタの使用率を算出する第6ステップと、算出されたパコンデンサ形成用トランジスタの使用率に基づいて分割領域毎のパコンデンサ用トランジスタの配置を決定する第7ステップと、を含むことを特徴とする半導体集積回路のレイアウト方法。

【請求項4】 上記第7ステップで決定されたパコン

2

デンサ用トランジスタ配置領域を自動配置配線処理における配線禁止領域としてライブラリに登録する第8ステップを含む請求項3記載の半導体集積回路のレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路及びその製造方法に関し、例えばゲートアレイ方式による半導体集積回路及びその製造方法に適用して有効な技術に関する。

【0002】

【従来の技術】半導体集積回路（LSI）、例えばゲートアレイ方式LSIは、半導体チップ（単に「チップ」ともいう）にナンド（NAND）、あるいはノア（NOR）などの論理ゲートに相当する基本セル（ベーシックセル）を格子状に整列したもので、マスタスライスと称される構成法をとる。マスタスライス方式とは、基本セルをチップ上に予め形成しておき、基本セル間の配線だけを追加して所望のLSIを形成する方式である。電源やグランド配線については、どの基本セルも電気的特性を満足するように予め定められている。そのようにマスタスライス方式は、配線に関するマスクパターンをのみを生成するだけで、多品種のLSIを形成することができ、少量多品種のLSIを短期間で安価に製造するのに適する。

【0003】ゲートアレイ方式LSIのレイアウトは、ライブラリに準備されているような論理機能単位（ブロック）を用いて記述された論理回路図及びチップ形状が与えられたとき、ライブラリにある各ブロックの配置配線に関するアートワークデータを生成することであり、それを誤りなく短期間に行えるように種々のレイアウトシステムが提案されている。

【0004】尚、ゲートアレイ方式LSIについて記載された文献の例としては、昭和59年11月30日に株式会社オーム社から発行された「LSIハンドブック（第204頁～）がある。

【0005】

【発明が解決しようとする課題】ところで、ゲートアレイ方式LSIなどの半導体集積回路において、電源幹線は、縦横に設けられた複数の金属配線によって網状に形成され、この電源網に外部端子から与えられた電源電圧が供給されるようになっている。

【0006】しかしながら、ゲートアレイ方式LSIでは、LSIの中央部での電源電圧降下が避けられず、その電圧降下が著しい場合には論理が不所望に反転するなどの誤動作を招くことになる。

【0007】電源容量を確保して電圧降下を可能な限り抑えるには、電源網のメッシュ間隔を狭めたり、電源配線幅を広くしたりする方法が知られている。

【0008】しかしながら、電源網の配線を広くしたり

3

密度を上げる方法では、チップ面積の増加や配線チャンネル数の減少を招くため、電源補強には自ずと限界がある。

【0009】すなわち、一般に金属配線により形成される容量は、単位面積当たりの値が比較的小さいため、容量を増加させるためにはかなり大きな面積が必要であり、また、電源線の配線層は一般の信号配線と共有されるため、面積増加は、使用可能な信号配線チャンネル数の減少を招く。一般に半導体集積回路の集積度の上限は、配線チャンネル数の不足であることが多く、そのため、上記のように面積増加による信号配線チャンネル数の減少は、半導体集積回路の集積度の向上を阻害する。

【0010】本発明の目的は、配線チャンネル不足を伴うことなく、電源を補強するための技術を提供することにある。

【0011】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0013】すなわち、格子状に整列された複数の基本セル(22)と、上記基本セルの組み合わせによって形成される内部回路に電源を供給するための電源網(23)とを含んで半導体集積回路が形成されるとき、上記基本セルの形成領域の一部を、上記電源網に結合されたパスコンデンサの形成領域とし、このパスコンデンサ形成領域に存在するトランジスタをパスコンデンサとして機能させ、上記パスコンデンサ形成領域を除く上記基本セル形成領域にユーザ論理を形成する。

【0014】上記した手段によれば、上記基本セルの形成領域の一部が上記電源網に結合されたパスコンデンサの形成領域とされて、このパスコンデンサ形成領域に存在するトランジスタがパスコンデンサとして機能されることにより電源補強が行われるので、電源網の配線を広くしたり密度を上げることで電源補強を行う場合と異なり、配線チャンネル数の減少を伴わずに済む。一般に半導体集積回路の集積度の上限は配線チャンネル数の不足であることが多いから、上記のように配線チャンネル数の減少を伴わないことで集積度の低下を回避することができる。

【0015】また、そのような半導体集積回路のレイアウト方法として、半導体集積回路の自動配置配線処理前に、当該半導体集積回路の内部領域における電源網をパスコンデンサにより補強する処理を含み、この電源網補強処理には、半導体集積回路の内部領域における電源網について電圧降下の解析を行うステップ(S12)と、上記解析結果に基づいてチップ内を複数の内部領域に分割するステップ(S13)と、分割領域毎にノイズ量を

4

算出するステップ(S14)と、算出されたノイズ量に応じて上記分割領域毎のパスコンデンサ容量値を算出するステップ(S16)と、算出されたパスコンデンサ容量値に基づいて上記分割領域毎にパスコンデンサ形成に割り当てられるトランジスタの配置を決定するステップ(S18)とを含めることができる。

【0016】上記した手段によれば、半導体集積回路の内部領域における電源網について電圧降下の解析を行い、それに基づいてチップ内を複数の内部領域に分割し、分割領域毎にノイズ量を算出し、算出されたノイズ量に応じて上記分割領域毎のパスコンデンサ容量値を算出し、算出されたパスコンデンサ容量値に基づいて上記分割領域毎にパスコンデンサ形成に割り当てられるトランジスタの配置を決定することで、パスコンデンサによる電源補強が行われ、このことが、配線チャンネル数の減少を伴わない電源補強を達成する。

【0017】さらに、上記補強処理には、半導体集積回路の内部領域における電源網の物理形状を決定する第1ステップ(S11)と、物理形状が決定された電源網について、上記電源網に給電する一連の結線を受動素子回路としてモデル化してそれに内部領域のトランジスタ使用率及び平均活性化率から定電流源を割り当てることにより、電圧降下の解析を行う第2ステップ(S12)と、上記解析結果に基づいて電位降下等高線によってチップ内を複数の内部領域に分割する第3ステップ(S13)と、分割領域毎にノイズ量を算出する第4ステップ(S14)と、算出されたノイズ量に応じて上記分割領域毎のパスコンデンサ容量値を算出する第5ステップ(S16)と、算出されたパスコンデンサ容量値に基づいて分割領域毎にパスコンデンサ形成に割り当てられるトランジスタの使用率を算出する第6ステップ(S17)と、算出されたパスコンデンサ形成用トランジスタの使用率に基づいて分割領域毎のパスコンデンサ用トランジスタの配置を決定する第7ステップ(S18)とを含めることができる。

【0018】このとき、上記第7ステップで決定されたパスコンデンサ用トランジスタ配置領域を自動配置配線処理における配線禁止領域としてライブラリに登録するステップを含めることができる。

【0019】

【発明の実施の形態】図1(a)には本発明にかかるレイアウト方法の一例が適用されるLSIが示される。図1に示されるLSIは、特に制限されないが、ナンド(NAND)、あるいはノア(NOR)などの論理ゲートに相当する基本セル(ベーシックセル)を格子状に整列して成るゲートアレイ方式LSIとされる。

【0020】矩形状に形成された半導体チップ21には、基本セル群22や、それを囲むようにI/O(入出力)領域17, 18, 19, 20が形成されている。

【0021】基本セル群22は、複数の基本セルが格子

5

状に整列して成る。I/O領域17, 18, 19, 20には、チップ内部回路への電源供給や、チップ内部回路と外部との間で信号のやり取りを可能とするための複数のI/Oセル15が配列されている。特に内部回路へ電源を供給するための電源経路は、I/Oセル15及びパッケージに形成された電源内装プレーン12を介して外部端子に結合される。すなわち、電源供給用の外部ピンからパッケージ電源内装プレーン11, 12, 13, 14に電源供給が行われ、この電源内装プレーン11, 12, 13, 14からボンディングワイヤ16及び対応するI/Oセル15を介して内部回路への電源供給が行われ、さらに、電源供給用I/Oセルから電源網への電源供給が行われる。電源網は、図2において23で示されるように、縦横に形成された金属配線によって形成され、上記基本セルの組み合わせによって形成される内部回路へ電源供給を行うための電源幹線とされる。

【0022】図1(b)には上記基本セル群22の一部が拡大して示される。

【0023】ワイヤボンディングによるLSIではチップ中央部の電源電圧降下によるノイズマージンの低下が避けられない。そこで、このLSIでは、以下のように基本セル群22を形成する複数の基本セルのうちの一部をパコンデンサとして機能させることにより、電源を補強してノイズマージンの向上を図っている。

【0024】すなわち、基本セル群22を形成する複数の基本セルのうち、特定の基本セルについては、電源補強のためのパコンデンサを形成するために使用され、ユーザ論理の形成が禁止される領域（禁止領域）とされる。例えば図1(b)においてハッチングが付されている基本セル223, 226, 232, 239は、そこに存在するMOSトランジスタのゲート容量や接合容量を使用したパコンデンサとして機能され、それはレイアウトシステムでの自動配置配線の前に既に決定されている。従ってユーザ論理の形成には、パコンデンサとして機能する基本セル223, 226, 232, 239以外の基本セル（図1(b)において白抜きの基本セル）が使用される。

【0025】次に、上記のようにパコンデンサによる電源補強が行われたゲートアレイ方式LSIのレイアウト方法について説明する。

【0026】ゲートアレイ方式LSIにおいては、通常は全体の30%以上のトランジスタが未使用状態とされているため、その程度のトランジスタをパコンデンサに利用したとしてもLSI全体としては集積度の著しい低下を生じない。また、自動配置配線処理の後に未使用の全てのトランジスタをパコンデンサ化することも考えられるが、それは、チップ毎に電源強度のスペックが異なってしまうため好ましくない。そこで、自動配置配線処理前に、パコンデンサを形成する領域を予め決定し、その領域については、自動配置配線における配線禁

6

止領域として定義してユーザ論理の形成を排除することにより、パコンデンサによる電源補強についてのチップ毎のスペックばらつきを排除する。電源電圧降下の激しい部位ほど、パコンデンサが多く配置されるようにパコンデンサの形成領域が決定されることにより、ノイズ低減が図られる。そのようにすれば、既存のレイアウトシステムにおけるLSI設計の枠組を変えずに、パコンデンサによりノイズ低減を図ったLSIのレイアウトを行い得る。

【0027】図4には、LSIのレイアウトの流れの主要部が示される。

【0028】先ず、半導体集積回路の内部領域における電源網23の物理的な形状を決定する(S11)。このとき、電源網を形成する金属配線の幅、本数、及び配列ピッチ等が決定される。

【0029】次に、LSIのパッケージの電源内装プレーン11, 12, 13, 14から、それに対応するボンディングワイヤ16及び電源供給用I/Oセルを介して電源網23へ給電する一連の結線をRLCの受動素子回路網としてモデル化してそれに内部領域のトランジスタ使用率及び平均活性化率から定電流源を割り当てることにより、DC（直流）電位降下の解析を行う(S12)。この解析結果を例えば図3に示されるようにグラフ化し、そのグラフに基づいて、電源電圧の電位降下等高線による内部回路の領域分割を行う(S13)。そのような領域分割により、例えば、A, B, C, Dで示されるような4つの分割領域が形成される。分割領域Aは、このLSIの内部回路のほぼ中央部とされ、最もDC電位降下が激しいところとされる。そして、内部回路のほぼ中央部から内部回路の縁辺部へ行くに従って電位降下が少なくなる。つまり、分割領域B, C, Dの順に電位降下が少なくなる。

【0030】次に、分割領域A, B, C, D毎に、AC（交流）ノイズの許容量を求める(S14)。ここで、ACノイズとは、論理回路のスイッチングによってDCレベルが変動することによって生ずるノイズを指し、高電位側電源V_{dd}レベルの変動に起因するノイズ、及び低電位側電源V_{ss}レベル変動に起因するノイズが含まれる。ACノイズは、DC電位降下の激しい領域ほど多くなる。この例では、分割領域D, C, B, Aの順にACノイズが多くなる。

【0031】上記ステップS14でのノイズの見積りの結果に基づいてノイズは許容範囲内か否かの判別が行われ(S15)、この判別においてACノイズ量が許容範囲内であり電源補強の必要が無いと判断された場合には、パコンデンサによる電源補強は省略されるが、ACノイズ量が許容範囲を越えている場合には以下の手順に従って、パコンデンサによる電源補強が行われる。

【0032】すなわち、上記ステップS15の判別において、ノイズが許容範囲を越えている(NO)と判断さ

7

れた場合には、分割領域別にパコンデンサの容量値算出が行われ(S16)、その算出結果に基づいて、パコンデンサを形成するに必要とされるトランジスタの数が求められることによって、パコンデンサ用トランジスタの使用率が分割領域毎に求められ(S17)、さらに分割領域毎に、パコンデンサ用トランジスタが均一に分布されるようにその配置が決定される(S18)。

【0033】図6(a)、(b)、(c)には、ゲートアレイ方式LSIにおける典型的なトランジスタの繰返し単位、及びそれを容量化した場合のイメージが示される。図6(a)に示されるように、pチャンネル型MOSトランジスタ(PMOS)形成部と、nチャンネル型MOSトランジスタ(NMOS)形成部とでは、第1層金属配線M1の電位レベルが異なる。pチャンネル型MOSトランジスタ形成部における第1層金属配線M1には高電位側電源V_{dd}が供給され、その第1層金属配線M1と交差するようにポリシリコン層62及び拡散層63が形成されている。ポリシリコン層62はMOSトランジスタのゲート電極に対応し、拡散層63はMOSトランジスタのソース電極又はドレイン電極に対応する。図6(b)に示されるように、ポリシリコン層61と第2層金属配線M2とがコンタクト61によって結合され、その第2層金属配線M2と第1層金属配線M1とがコンタクト64によって結合される。さらに、拡散層63と第1層金属配線M1とがコンタクト65によって結合される。それにより、図6(c)に示されるように、MOSトランジスタのゲート電極、ドレイン電極及びソース電極が高電位側電源V_{dd}又は低電位側電源V_{ss}に結合された状態となり、MOSトランジスタのゲート容量及び拡散容量がパコンデンサとして機能する。そのようにパコンデンサによる電源補強は、電源網のメッシュ間隔を狭めたり、電源配線幅を広くしたりするのではなく、第1層金属配線M1の真下に形成されるトランジスタのゲート容量及び拡散容量を利用し、そのゲート容量及び拡散容量をコンタクトによって第1層金属配線に結合するものであるから、配線チャネル数の減少を伴わない。

【0034】そして、そのようにパコンデンサ用トランジスタの配置が決定されると、そのパコンデンサの関与によってDC電圧降下が緩和され、ACノイズが低減されて、上記ステップS13での領域分割の条件が初期の状態とは異なってしまうから、再び上記ステップS12でのDC電圧降下の解析に戻される。それにより、電圧降下による領域分割が行われ(S13)、各分割領域毎のACノイズの見積り(S14)が行われて、ノイズが許容範囲内か否かの判別が行われる(S15)。この判別において、ACノイズが許容範囲内であり、電源補強の必要が無い(NO)と判断された場合には、パコンデンサによる電源補強がなされたか否かの判別が行われる。この判別において、既にパコンデンサによる

8

電源補強がなされている(YES)と判断された場合には、その電源補強にかかるパコンデンサ形成領域、つまり基本セル群22においてパコンデンサ化された基本セル(図1(b)において223、226、232、239で示される基本セル)について自動配置配線での配線禁止領域としてライブラリ化され、しかる後にユーザ論理に基づく自動配置配線が行われる(S21)。

【0035】また、上記ステップS19の判別において、パコンデンサによる電源補強が行われていない(NO)と判断された場合には、それは最初からパコンデンサによる電源補強が不要な場合であり、かかる場合には、上記ステップS20でのライブラリ化を行うことなく、上記ステップS21での自動配置配線が行われる。

【0036】次に、上記ステップS14のACノイズ見積もり、及び上記ステップS15の判別について、図5のフローチャートに従って詳述する。

【0037】基本セルの出力論理が1回切り換わる毎にACノイズが発生する。例えば基本セルが、図7に示されるようにpチャンネル型MOSトランジスタQ1とnチャンネル型MOSトランジスタQ2とが直列接続されて成るインバータとされる場合には、入力信号がローレベルからハイレベルに変化されて出力論理がハイレベルからローレベルに変化される際に、低電位側電源V_{ss}のレベルが瞬間的に上昇されてACノイズが発生する。また、入力信号がハイレベルからローレベルに変化される場合には、出力信号がローレベルからハイレベルに変化される際に、高電位側電源V_{dd}のレベルが瞬間的に下降されてACノイズが発生する。また、電源配線の抵抗成分により直流(DC)的な電位レベルの低下があり、ACノイズ見積もりにおいてそれを考慮する必要がある。

【0038】先ず、基本セル毎に1回の論理切り換わりで発生するACノイズ量を求め、それをライブラリ化する(S141)。このACノイズ量が既に求められてライブラリ化されている場合には、それを改めて算出する必要はなく、以下の計算においてそのライブラリを読み出して使用することができる。

【0039】ユーザが要求する論理構成から各基本セルの切り換わり確率Pを算出し、この切り換わり確率Pと、基本セル毎の1回の論理切り換わりで発生するノイズ量Nとに基づいて各分割領域内の全ての基本セルによって発生するACノイズ量のトータル値Aを求める(S142)。

【0040】次に、ディレイマージンを計算する(S143)。

【0041】図7に示されるインバータでの信号遅延時間 t_{pd} の増分を Δt_{pd} で示し、高電位側電源V_{dd}の降下量を ΔV_{dd} で示すとき、 Δt_{pd} と ΔV_{dd} とは、図8に示されるように比例関係にある。ユーザ論理

9

構成により Δt_{pd} の上限があり、その上限に対応する ΔV_{dd} の値は、高電位側電源 V_{dd} の降下量の限界値 ΔV_{ddmax} とされる。つまり、この高電位側電源 V_{dd} の降下量の限界値 ΔV_{ddmax} を越えると、当該基本セルでの遅延量が多すぎて回路動作に支障を来すことになるから、この限界値 ΔV_{ddmax} を越えないように電源電圧レベルの変動、すなわちノイズを抑える必要がある。電源電圧レベルの変動は、直流的な電位レベル変動(DCノイズ)に、ACノイズが重畳されたものであるから、DCノイズ及びACノイズをそれぞれ「D」及び「A」で示すとき、

$$D + A \leq \Delta V_{ddmax} \cdots (1)$$

が成立するか否かにより、電源補強の必要性を判断することができる。つまり、上記の式(1)が成立する場合には、ノイズ量が許容する範囲であるから、その場合には電源補強は不要とされる。しかし、上記の式(1)が成立しない場合には、ノイズ量が許容値を越えることになるから、パスコンデンサによる電源補強の必要がある。故に、図4に示されるステップS15の判別は、上記(1)が成立するか否かを判定することで実現される。

【0042】次に、上記ステップS16での分割領域別パスコンデンサの容量値算出について詳述する。

【0043】パスコンデンサの容量追加分を「P」で示すとき、このパスコンデンサの容量追加分Pと、DCノイズ量Dとの間には、図9に示されるような相関関係がある。すなわち、パスコンデンサの容量値が大きくなるほど、電源が補強されてDCノイズが低減される。DCノイズ量Dはパスコンデンサの容量追加分Pの関数であるから、 $D = D(P)$ のように示され、すると上記の式(1)は、

$$D(P) + A \leq \Delta V_{ddmax} \cdots (2)$$

のように表すことができる。ここでパスコンデンサの容量追加がない場合は、

$$D(0) + A > \Delta V_{ddmax} \cdots (3)$$

であり、これを開始点として、パスコンデンサの容量追加を行い、

$$D(P) + A = \Delta V_{ddmax} \cdots (4)$$

が成立する場合の「P」の値を図9のグラフから求めることにより、ノイズを所望レベルにまで低減可能なパスコンデンサの容量値を得ることができる。基本セルの1つ当たりで得られる容量の値もしくは基本セルを形成するトランジスタ1つで得られる容量はシミュレーションにより求めることができるから、ノイズ低減のために必要となるパスコンデンサの容量値が求まれば、その容量を実現するのに必要とされる基本セル数(あるいはトランジスタ数)を算出することができる。

【0044】また、図4のステップS17における分割領域別パスコンデンサ用トランジスタ使用率は、ノイズ低減のために必要となるパスキンの容量値を得るために

10

必要とされるトランジスタの数を、当該分割領域における全トランジスタ数で除算すれば求めることができる。

【0045】上記例によれば、以下の作用効果を得ることができる。

【0046】(1) 基本セルの形成領域の一部が上記電源網に結合されたパスコンデンサの形成領域とされて、このパスコンデンサ形成領域に存在するトランジスタがパスコンデンサとして機能されることにより電源補強が行われるので、電源網23の配線を広くしたり密度を上げることで電源補強を行う場合と異なり、配線チャネル数の減少を伴わずに済む。一般に半導体集積回路の集積度の上限は配線チャネル数の不足であることが多いから、配線チャネル数の減少を伴わないことで集積度の低下を回避することができる。

【0047】(2) 自動配置配線処理の前に行われる電源網補強処理として、半導体集積回路の内部領域における電源網23について電圧降下の解析を行い、上記解析結果に基づいてチップ内を複数の内部領域に分割し、分割領域毎にノイズ量を算出し、算出されたノイズ量に応じて上記分割領域毎のパスコンデンサ容量値を算出し、算出されたパスコンデンサ容量値に基づいて上記分割領域毎にパスコンデンサ形成に割り当てられるトランジスタの配置を決定することにより、パスコンデンサによる電源補強が行われ、しかも、その電源補強においては、電源網23の配線を広くしたり密度を上げる必要がないから、配線チャネル数の減少を伴わないで済む。

【0048】(3) 上記パスコンデンサ用のトランジスタ配置決定後に、再びステップS12から上記ステップS14の処理を繰り返してパスキ用トランジスタ配置によるノイズ低減情報を得ることにより、パスコンデンサによる電源補強の効果を確認することができ、もし、電源補強が不十分であれば、さらにステップS16～S18での処理でパスコンデンサを追加することができる。さらに、禁止領域をライブラリ化することで、自動配置配線において当該領域でのユーザ論理の形成を排除することができる。

【0049】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0050】例えば、電源幹線直下に位置するトランジスタのうち、配線層の干渉などの制約などからユーザ論理を組むのに適さないトランジスタが存在する場合に、そのようなトランジスタをパスコンデンサとして積極的に利用すると良い。

【0051】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるゲートアレイ方式LSIについて説明したが、一部にランダム・アクセス・メモリなどのマクロセルが埋め込まれるよ

11

うなLSIにも本発明を適用することができる。

【0052】本発明は、少なくとも格子状に整列された複数の基本セルを含むことを条件に適用することができる。

【0053】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0054】すなわち、基本セルの形成領域の一部を、上記電源網に結合されたパスコンデンサの形成領域とし、このパスコンデンサ形成領域に存在するトランジスタをパスコンデンサとして機能させ、上記パスコンデンサ形成領域を除く上記基本セル形成領域にユーザ論理を形成することにより、パスコンデンサ形成領域に存在するトランジスタがパスコンデンサとして機能さされて電源補強が行われるので、電源網の配線を広くしたり密度を上げることで電源補強を行う場合と異なり、配線チャンネル数の減少を伴わずに済む。一般に半導体集積回路の集積度の上限は配線チャンネル数の不足であることが多いから、配線チャンネル数の減少を伴わないことで集積度の低下を回避することができる。

【0055】半導体集積回路の内部領域における電源網について電圧降下の解析を行い、上記解析結果に基づいてチップ内を複数の内部領域に分割し、分割領域毎にノイズ量を算出し、算出されたノイズ量に応じて上記分割領域毎のパスコンデンサ容量値を算出し、算出されたパスコンデンサ容量値に基づいて上記分割領域毎にパスコンデンサ形成に割り当てられるトランジスタの配置を決定する処理を自動配置配線処理の前に行うレイアウト方法により、配線チャンネル数の減少を伴うことなく、パス

12

コンデンサによる電源補強を行い得る。

【図面の簡単な説明】

【図1】本発明にかかる半導体集積回路の全体的な平面図、及びそれに含まれる基本セル群の部分的な拡大図である。

【図2】上記半導体集積回路における電源網と内部領域分割の説明図である。

【図3】上記半導体集積回路における内部領域のDC電位降下の説明図である。

10 【図4】上記半導体集積回路のレイアウトにおける電源補強処理のフローチャートである。

【図5】上記電源補強処理における主要部の詳細なフローチャートである。

【図6】上記半導体集積回路における典型的なトランジスタの繰り返し単位、及びそれを容量化の説明図である。

【図7】上記半導体集積回路に含まれる基本セルの一例回路図である。

20 【図8】上記電源補強処理のアルゴリズム説明のための特性図である。

【図9】上記電源補強処理のアルゴリズム説明のための特性図である。

【符号の説明】

21 半導体チップ

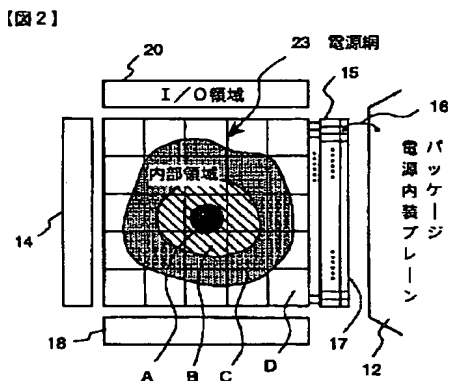
22 基本セル群

223, 226, 232, 239 パスコンデンサ化された基本セル

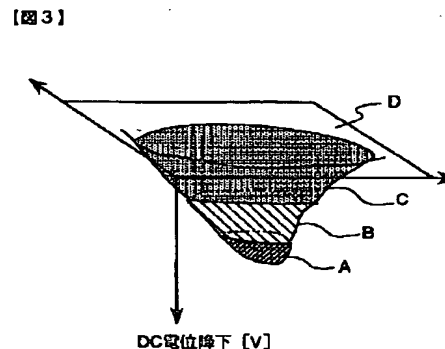
23 電源網

17~20 I/O領域

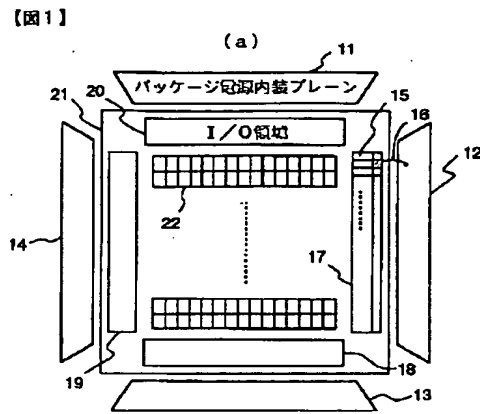
【図2】



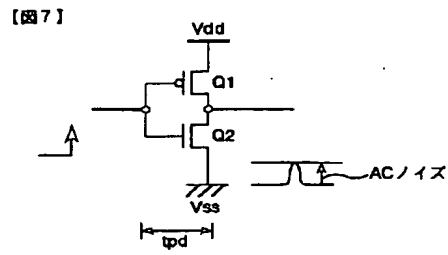
【図3】



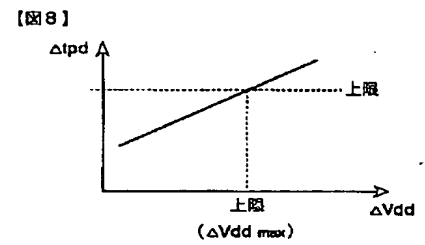
【図1】



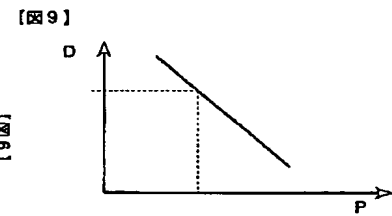
【図7】



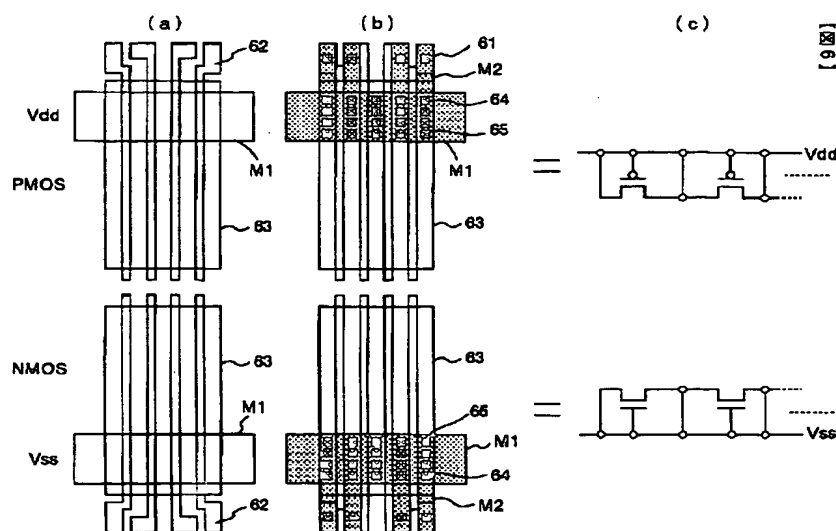
【図8】



【図9】

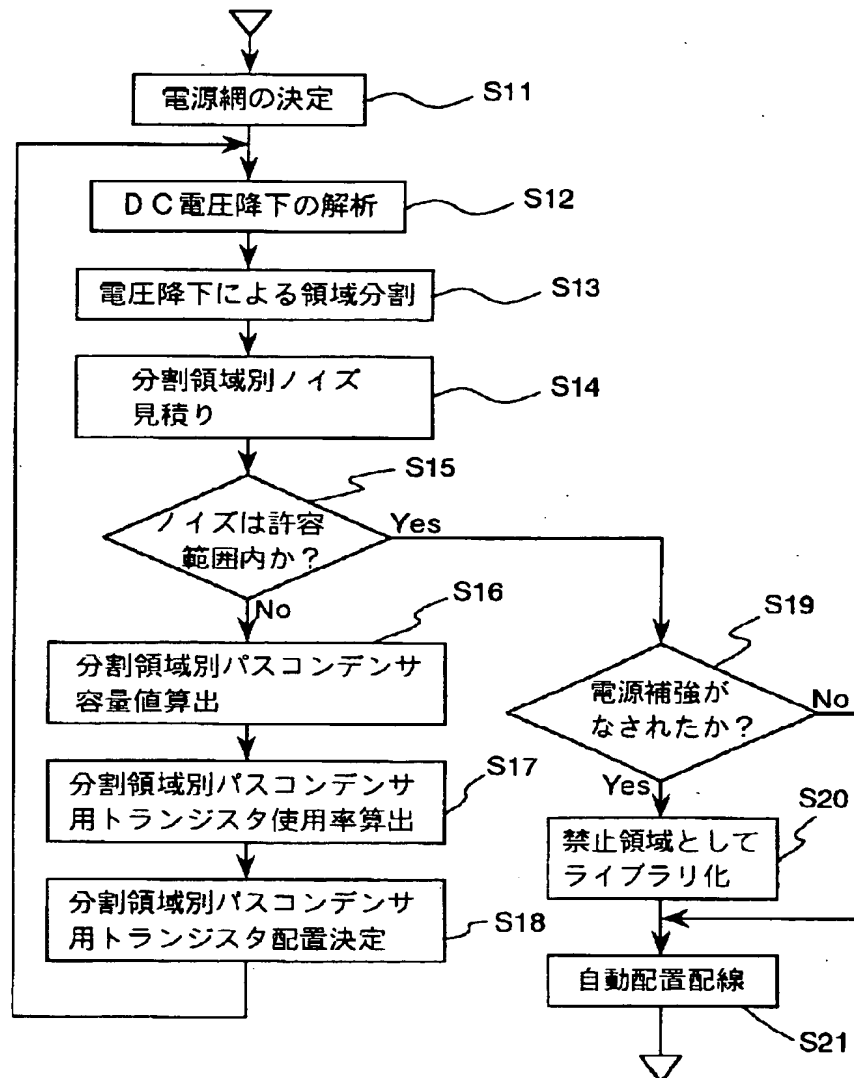


【図6】



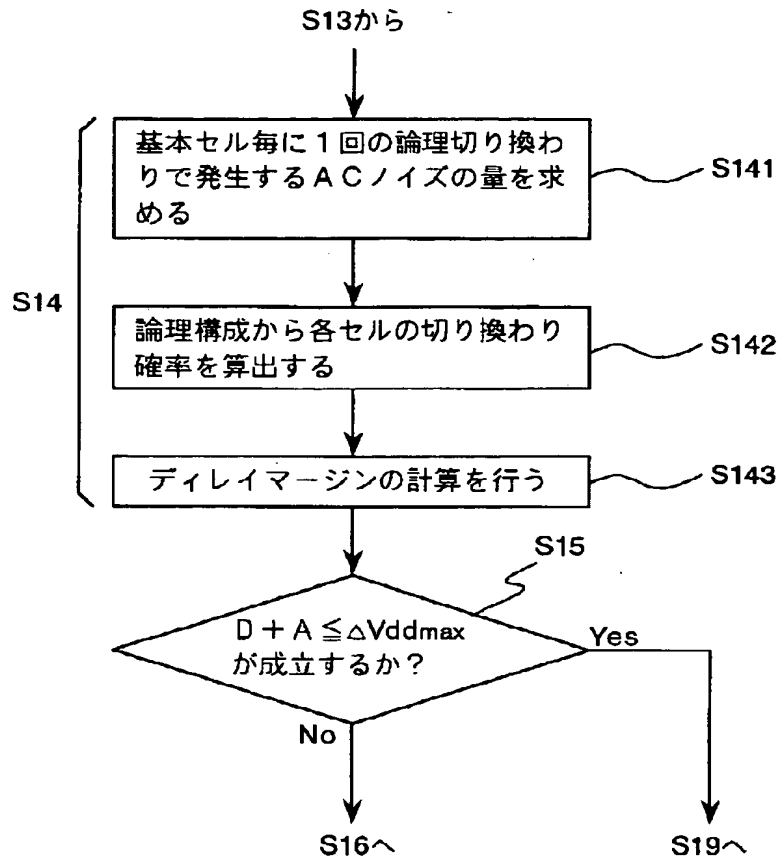
【図4】

【図4】



【図5】

【図5】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 0 1 L 27/04

H
D